

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) FORMATION OF CONTACT PLUG OF SEMICONDUCTOR ELEMENT

(11) 3-285330 (A) (43) 16.12.1991 (19) JP

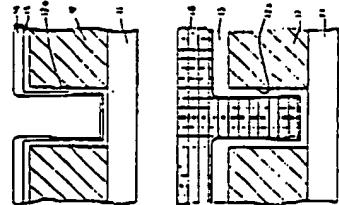
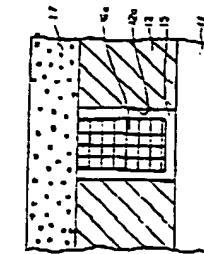
(21) Appl. No. 2-81809 (22) 2.4.1990

(71) OKI ELECTRIC IND CO LTD (72) AKIHIRO SAKAMOTO

(51) Int. Cl. H01L21/28, H01L21/3205, H01L21/90

PURPOSE: To lessen a leakage current and to improve the junction characteristics of a semiconductor element by a method wherein a close contact layer, which is a two-layer film of a polycrystalline silicon film and a titanium film, is formed on a semiconductor substrate subsequent to the formation of a contact hole in the substrate and after a heat treatment is performed, a tungsten film is formed, an etchback is performed to form a tungsten plug and thereafter, an Al wiring is formed.

CONSTITUTION: An insulating film 12 and a contact hole 12a are formed on an Si substrate 11. Then, a polycrystalline silicon film 13 is formed, a titanium film 14 is formed by a sputtering method and a close contact layer which is a two-layer film is formed. As an etching damage is not caused in a base of the film 13, a trouble, such as a junction leak or the like, stops generating even if the base is a diffused layer. After that, a heat treatment is performed, the surface of the film 14 is nitrided, the film 13 is made to react and a titanium silicide (TiSi_x) film is formed. After this, a tungsten film 16 is formed to perform an etchback, a tungsten plug 16a is left only in the hole 12a to form lastly an Al alloy film 17 and a wiring is formed.



(54) FORMATION OF THIN FILM AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 3-285331 (A) (43) 16.12.1991 (19) JP

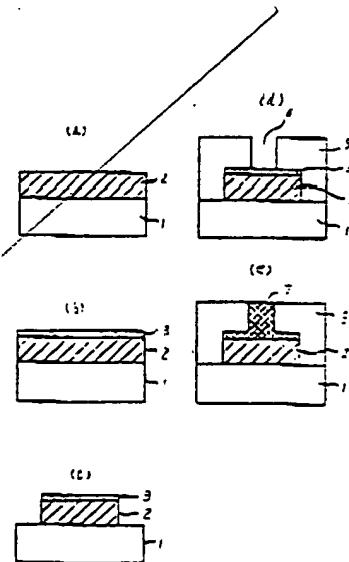
(21) Appl. No. 2-84895 (22) 2.4.1990

(71) HITACHI LTD (72) AKIRA SATO (1)

(51) Int. Cl. H01L21/285, C23C14/06, H01L21/3205

PURPOSE: To fill completely a hole with a metal film and to form a thin film into one, which is never peeled by a stress and is superior in adhesion, by a method wherein the thin film, which is substituted for the metal film, is formed on a wiring metal film by a CVD method.

CONSTITUTION: A thin film 3 for substitution use is deposited on a wiring metal film 2 formed on an Si substrate 1. Moreover, the films 3 and 2 are simultaneously etched using a photoresist as a mask. Then, an insulating film 5 is formed, the film 5 is etched using a photoresist as a mask and a via hole 6 is formed. Then, a W film 7 is formed by a selective CVD method. Thereby, the film 3 formed on the film 2 is substituted for the film 7, the film 7 is formed into an inverted T-shaped form by an action of encroachment and a peeling of the film 7 from the film 5 due to a stress can be dissolved. Moreover, as a base material to have most an effect on the selective CVD method is always the film 3, the thin film 3 can be always formed on the same condition even if the film 2 which is a base of the film 3 is any wiring material.



(54) MASKING FILM

(11) 3-285232 (A) (43) 16.12.1991 (19) JP

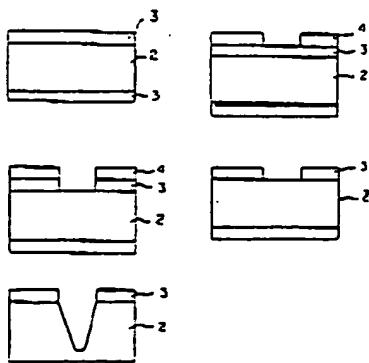
(21) Appl. No. 2-87817 (22) 2.4.1990

(71) RICOH CO LTD (72) JUNICHI TAKAHASHI (3)

(51) Int. Cl. H01L21/306

PURPOSE: To obtain a masking film for etching use, which can be formed at a low temperature of room temperatures or thereabouts and by which damage is not inflicted on a circuit on a substrate and the like, by a method wherein the masking film is formed of a carbon film.

CONSTITUTION: A carbon film 3 is formed on an Si single crystal substrate 2 by a plasma CVD method. A desired photoresist pattern 4 is formed on this film 3. Then, the film 3 is etched by a dry etching method, in which a plasma reaction is utilized, in a desired pattern so as to remove the carbon film of a part without the photoresist pattern and thereafter, the photoresist pattern is removed by etching or with a release solution. After that, the film 3 is subjected to etching treatment with a KOH aqueous solution. As a result of a measurement of an etching rate using the KOH aqueous solution to a carbon film masking film formed in such a way, an etching rate of roughly the same degree as an etching rate to an Si₃N₄ film formed by a thermal LPCVD method is obtained. Accordingly, the carbon film is useful as a masking film at the time of a long-time etching. Moreover, as the formation of the masking film can be performed at room temperatures, there is not a rediffusion of an impurity in an active element, which is caused at the time of formation of the Si₃N₄ film, and the generation of a hillock in an Al film.



⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

平3-285330

⑫Int.CI.

H 01 L 21/28
21/3205
21/90

級別記号

301 C
R
C

序内整理番号

7738-4M
7738-4M
6810-4M
6810-4M

⑬公開 平成3年(1991)12月16日

審査請求 未請求 求求項の数 1 (全4頁)

⑭発明の名称 半導体素子のコンタクトプラグの形成方法

⑮特 願 平2-84809

⑯出 願 平2(1990)4月2日

⑰明 者 坂元 明広 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲代 理 人 弁理士 菊池 弘

明 碑 審

1. 発明の名称

半導体素子のコンタクトプラグの形成方法

2. 特許請求の範囲

①コンタクトホールを形成した後の半導体基板上に多結晶シリコン膜を形成する工程と、

②上記多結晶シリコン膜上にスパッタ法でチタン膜を形成し、多結晶シリコンとチタン膜とによる2層膜の密着層を形成する工程と、

③熱処理後上記タングステン膜を形成し、このタングステン膜をエッチバックによってタングステンのプラグを形成した後、アルミニウム配線を形成する工程と、

④よりなる半導体素子のコンタクトプラグの形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、ULSI(超大規模集積回路)のコンタクトでも特にアスペクト比(コンタクト深さ/コンタクト幅)が1.0を超えるようなコン

タクト内にプラグを形成する半導体素子のコンタクトプラグの形成方法に関するものである。

(従来の技術)

従来、ULSIにおいて、コンタクト径が1.0μmより小さく、アスペクト比が1.0を超えると、その後に形成するアルミニウム配線がコンタクト底部にはほとんど形成できなかったり、コンタクト側壁のアルミニウム配線の膜厚が薄く、その後の熱処理等によって断線したりする。

そこで、Chemical Vapor Deposition of Tungsten (CVD) as Submicron Interconnection and via Stud, J. Electrochem. Soc. (ジャーナル エレクトロケミカル ソサエティ), Vol. 136, No. 7, July 1989に記述してあるようにタングステン膜をLPCVD装置(減圧CVD装置)でウエハ全面にデポジットした後に、全面エッチバックにより、タングステン膜をコンタクト内だけに残して、タングステンのプラグを形成した後に、アルミニウム配線を行い、アルミニウム配線の信頼性を向上させている。

第2回は従来のタンクスチタンのプラグ形成方法を示す工程断面図である。まず第2回内に示すように、Si基板1上に絶縁膜2を形成し、この絶縁膜2にSi基板1の裏面が露出するように、コンタクトホール2aの開孔後に、スパッタ法によって約1000入の密着層3のチタン(Ti)を形成し、ランプアニール装置を用い、N₂雰囲気中で500～800℃、約3.0秒ほどの熱処理を施し、第2回内に示すようにコンタクトホール2の底部ではTiN3aとTiSi₃bの2層構造をなし、絶縁膜2と接するところでは、TiN3aを形成した後に、LPCVD法によってタンクスチタン4を形成する。その後、第2回内に示すように、タンクスチタン4をエッチバックにより、コンタクトホール2だけに残し、プラグを形成し、最後にアルミニウム合金5で配線を形成する。

(発明が解決しようとする課題)

しかしながら、上記従来のタンクスチタンのプラグ形成方法では、密着層3であるチタンがコンタクトホール2aの底部のSiと熱合良く反応して

この発明によれば、半導体素子のコンタクトプラグの形成方法において、以上のような工程を導入したので、2層膜による密着層の下地の多結晶シリコンがチタン膜を形成する前のスパッタエッチングを行っても、半導体基板が絶縁層である場合でも半導体基板にダメージを与えないように作成し、リーク電流を抑制し、したがって、前記問題点を除去できる。

(実施例)

以下、この発明の半導体素子のコンタクトプラグの形成方法の実施例について図面に基づき説明する。第1回ないし第1回内はその一実施例の工程断面図である。

まず、第1回内に示すように、半導体基板としてのSi基板11上に、NSG、PSC、BPSG等の絶縁膜12をCVD法で形成した後に、ホトリソグラフィ、ドライエッチング技術によってコンタクトホール12aを形成する。

この時、Si基板11は、場合によっては、絶縁層であったり、多結晶シリコン膜であったり、高

TiSi₃となるように、チタンのスパッタリングの直前に、スパッタエッチングにより、Si基板1上の自然酸化膜を除去する工程が必要となる。

ここで、Si基板1が絶縁層である場合は、スパッタエッチングによるダメージのために接合特性が劣化(接合リーク)するという問題点があつた。

この発明は、前記従来技術が持っている問題点のうち、Si基板が絶縁層である場合にはスパッタエッチングによるダメージのために接合特性が劣化する点について解決した半導体素子のコンタクトプラグの形成方法を提供するものである。

(問題を解決するための手段)

この発明は前記問題点を解決するために、半導体素子のコンタクトプラグの形成方法において、半導体基板上の絶縁膜にコンタクトホールを形成した後に半導体基板上に多結晶シリコンとチタン膜の2層膜による密着層を形成する工程を導入したものである。

(作用)

融点金属シリサイド膜であつたりする。

また、コンタクトホール12aは、アスペクト比が1.0を超える形状で、例えばコンタクトの直径が0.7μmのとき、深さが、1～2μmあるような径が小さくて、深さが深いコンタクトホールである。

次に、ステップカバレッジの良いLPCVD法によって多結晶シリコン膜13を約500入形成し、As₂、BF₃等の不純物をインプランテーションした後に、第1回内に示すタンクスチタン膜14の密着層として、チタン14を約1000入形成する。

かくして、多結晶シリコン13とチタン14による2層膜の密着層が形成されることになる。

このチタン14はスパッタリング法で形成し、直前にスパッタエッチングによって多結晶シリコン膜13上の自然酸化膜の除去を行っている。この工程により、多結晶シリコン膜13の下地には、エッチングダメージが入らない。このため、たとえ下地が絶縁層であっても、接合リーク等の不都

合が生じなくなる。

その後、ランプアーナー流装置を用いて、 1100°C の真空中で $500\sim800$ ℃、約30秒ほどの熱処理を施し、第1図(a)に示すように、チタン14の表面を活性化するとともに、チタン14と多結晶シリコン13を反応させて、チタンシリサイド(TiSi_2)を形成させる。

かくして、 TiN/TiSi_2 ／多結晶シリコン15の3層膜を形成する。

この後、六角化タンクステン(WF_6)ガスと水素(H_2)ガス、あるいはシラン(SiH_4)ガスを用いたLPCVD法によって、タンクステン膜16を $0.5\sim1\mu\text{m}$ 形成する。

その後、第1図(b)に示すように、タンクステン16のエッチバックを行い、コンタクトホール12a内だけにタンクステンのプラグ16aを残し、プラグを形成し、最後にアルミニウム合金17、例えば Al-Si 、 Al-Si-Co 等をスパッタ法で約 5000~A 形成し、配線を形成する。

(発明の効果)

以上、詳細に説明したように、この発明によれば、密着層のチタン膜の下に多結晶シリコン膜を用いたので、チタンを形成する前のスパッタエッティングが、 Si 基板等の半導体基板が被敷層である場合でも、ダメージを与えない。

したがって、リーク電流が少くなり、接合特性の向上が期待できる。

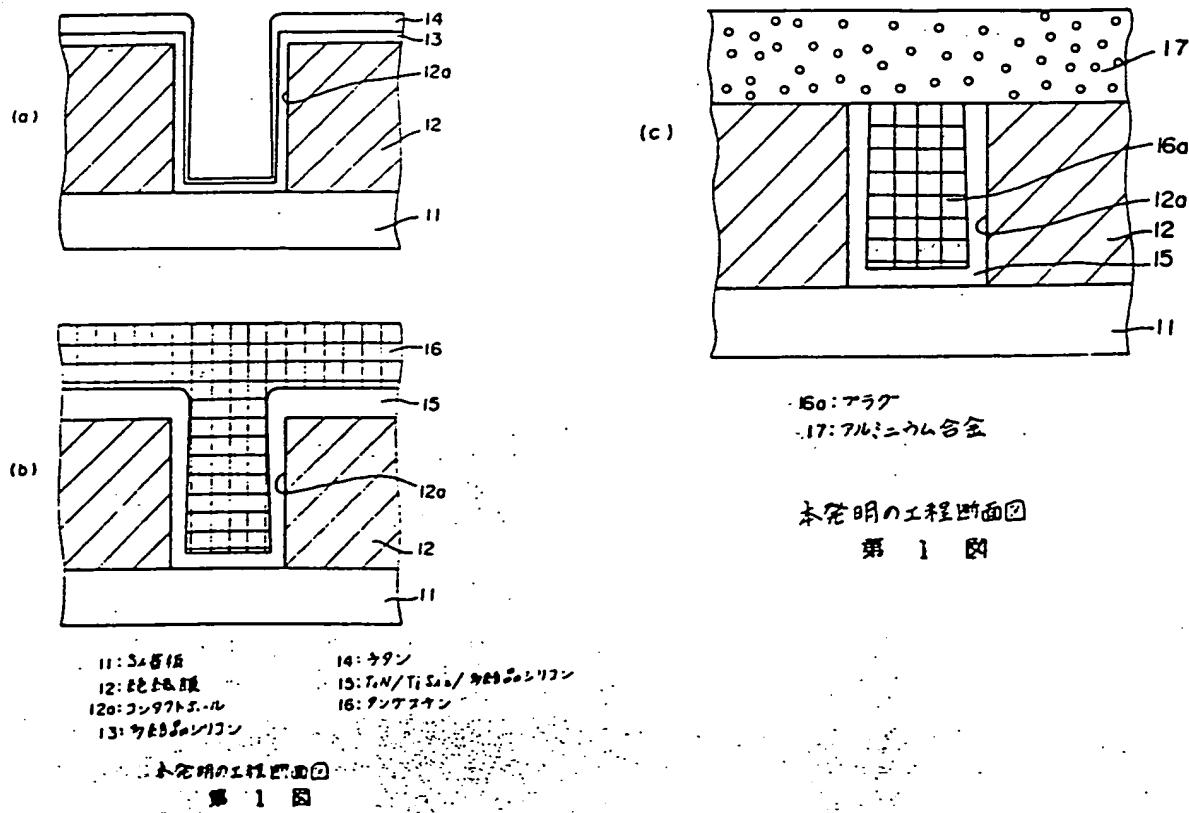
4. 図の簡単な説明

第1図(a)ないし第1図(b)はこの発明の半導体素子のコンタクトプラグの形成方法の一実施例の工程断面図、第2図(a)ないし第2図(b)は従来のタンクステンのプラグ形成方法の工程断面図である。

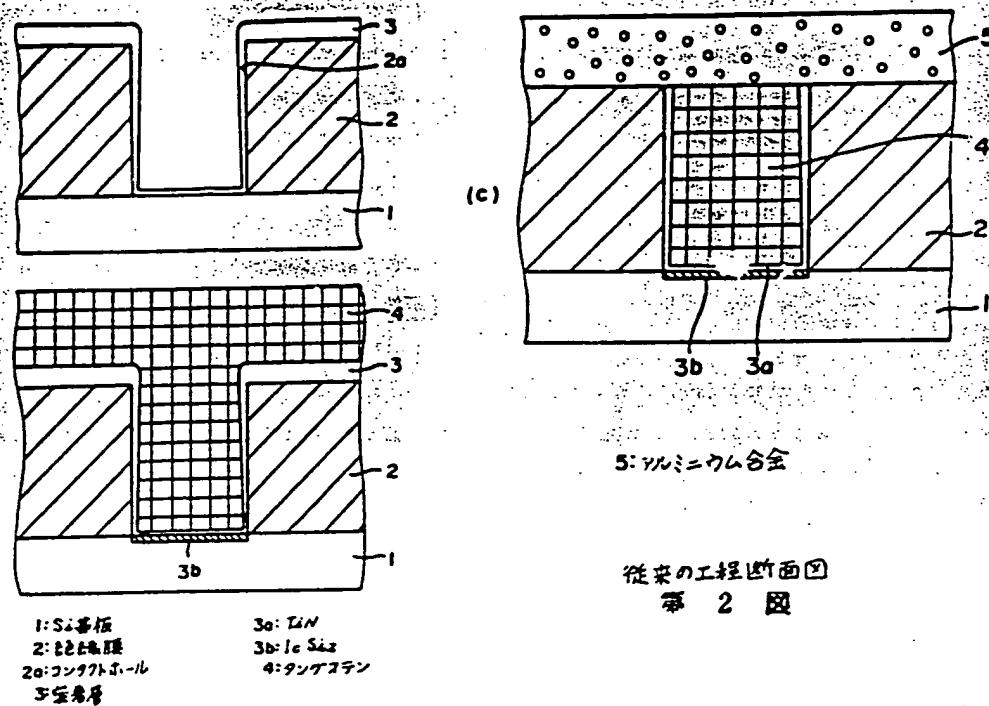
11— Si 基板、12—絶縁膜、12a—コンタクトホール、13—多結晶シリコン、14—チタン、15— TiN/TiSi_2 ／多結晶シリコン、16—タンクステン、16a—プラグ。

特許出願人 沖電気工業株式会社

代理人弁理士 斎 池 弘



本発明の工程断面図
第1図



従来の工程断面図
第2図

従来の工程断面図
第2図